

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/50

(11) 공개번호
(43) 공개일자

특1999-0080278
1999년11월05일

(21) 출원번호	10-1998-0013405
(22) 출원일자	1998년04월15일
(71) 출원인	주식회사 바른전자, 최완균 대한민국 420-130 경기도 부천시 원미구 도당동 74-6
(72) 발명자	최완균 대한민국 463-030 경기도 성남시 분당구 분당동 94 두산빌라 209동 206호 오상연 대한민국 463-070 경기도 성남시 분당구 야탑동 331 장미마을 동부아파트 106동 502호 박상영 대한민국 302-120 대전광역시 서구 둔산동 수정아파트 1동 1102호
(74) 대리인	윤동열 이선희
(77) 심사청구	있음
(54) 출원명	멀티 칩 패키지

요약

본 발명은 멀티 칩 패키지(Multi chip package) 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 기판에 형성된 관통개구를 덮는 제1칩의 하면에 제2칩을 관통개구내에 위치하도록 접착시켜 적층한 멀티 칩 패키지에 관한 것이다. 본 발명에 따르면, 제1칩이 기판에 형성된 관통개구를 덮으면서 높이고, 제2칩이 제1칩의 관통개구내 하면에 접착되는 멀티 칩 패키지 또는 상기의 멀티 칩 패키지가 복수개 적층되어 있는 적층형 멀티 칩 패키지를 제공하여 종래의 멀티 칩 패키지에 비해 기판 두께만큼 반도체 패키지의 높이를 줄일 수 있으므로 소정의 높이, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하를 만족하는 소형이며 박형인 반도체 패키지를 제공할 수 있는 이점이 있다.

대표도

도3

명세서

도면의 간단한 설명

도1은 종래기술에 따른 멀티 칩 패키지의 실시예로서 TSOP(Thin Small Outline Package)를 나타내는 단면도,

도2는 종래기술에 따른 멀티 칩 패키지의 다른 실시예로서 BGA(Ball Grid Array)구조를 갖는 패키지의 단면도,

도3은 본 발명의 제1실시예를 나타내는 단면도,

도4는 본 발명의 제1실시예로서, 제1패키지 몸체가 형성되기 전의 모습을 나타내는 평면도,

도5는 본 발명의 제1실시예로서, 제2패키지 몸체가 형성되기 전의 모습을 나타내는 저면도,

도6은 본 발명의 제2실시예에 따른 멀티 칩 패키지의 단면도,

도7은 본 발명의 제3실시예에 따른 멀티 칩 패키지의 단면도,

도8은 본 발명의 제4실시예에 따른 멀티 칩 패키지의 단면도,

도9a 내지 도9h는 본 발명에 따른 멀티 칩 패키지의 제조방법을 나타내는 단면도이다.

< 도면의 주요 부분에 대한 설명 >

20,30,100,200,300,400: 멀티 칩 패키지(multi chip package)

21: 다이패드(die pad)

22: 외부리드

23: 내부리드	24,34: 본딩 와이어(bonding wire)
25a,35a,130a,230a,330a,430a: 제1칩	25b,35b,130b,230b,330b,430b: 제2칩
27,37: 패키지 몸체	26,36: 접착제
39,150,250,350,450: 솔더 볼	38,110,210,310,410: 기판
120a: 제1패키지 몸체	120b: 제2패키지 몸체
125a,225a,325a,425a: 제1수지	125b,225b,325b,425b: 제2수지
115: 기판단자	135: 본딩패드(bonding pad)
117,217,317,417: 관통개구	360: 솔더 범프(solder bump)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 멀티 칩 패키지 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 기판에 형성된 관통개구를 덮는 제1칩의 하면에 제2칩을 관통개구 내에 위치하도록 접착시켜 적층한 멀티 칩 패키지에 관한 것이다.

개인용 휴대 전자제품을 비롯한 전자기기들에 대용량화, 고속화 및 소형박형화 추세에 급속히 진행됨에 따라, 반도체 패키지에 있어서도 대용량화, 고속화 및 소형박형화를 만족시키는 반도체 패키지가 요구되고 있다.

그러나 통상적인 패키지에 있어서는, 칩의 크기에 비해서 패키지 몸체의 크기가 상대적으로 더 크고 더 두껍기 때문에 소형박형화의 목적을 달성하기 곤란하기 때문에, 소형박형화의 목적을 달성하기 위한 한 방안으로서 최근에는 볼 그리드 어레이 패키지(ball grid array: BGA) 및 칩의 크기를 크게 벗어나지 않는 범위 내에서 조립될 수 있는 칩 스케일 패키지(chip scale package: CSP)가 나타나게 되었다. 또한 단위 반도체 패키지당 실장되는 밀도를 높일 수 있는 패키지로서, 적층형 패키지(three dimensional package)가 향후 유효 적절하게 사용될 패키지 타입중의 하나로 예상되고 있다.

그러나 종래기술에 따른 적층형 패키지는 그 구조상의 한계로 몇 가지 문제점을 가지고 있었다.

이하에서는 도면을 참조하여 종래기술의 문제점에 대해 설명하고자 한다.

도1은 종래기술에 따른 멀티 칩 패키지의 실시예로서 TSOP(Thin Small Outline Package)를 나타내는 단면도이며, 도2는 종래기술에 따른 멀티 칩 패키지의 다른 실시예로서 BGA구조를 갖는 패키지의 단면도이다.

도1을 참조하면, 다이패드(21)상에 제1칩(25a) 및 제2칩(25b)이 단차지도록 접착제(26)에 의해 접착되어 적층되고 칩(25a,25b)들 각각이 본딩 와이어(24)에 의해 내부리드(23)에 전기적으로 연결된다. 다이패드(21)를 포함하여 적층된 칩들(25a,25b)과 본딩 와이어(24)는 수지(28)에 의해 봉지되어 패키지 몸체(27)를 형성한다.

도2를 참조하면, 복수의 기판단자(미도시)가 형성된 기판(38)상에 제1칩(35a) 및 제2칩(35b)이 단차지도록 접착제(36)에 의해 접착되어 적층되고, 칩들(35a,35b) 각각이 본딩 와이어(34)에 의해 기판(38)의 기판단자에 전기적으로 연결된다. 칩들(35a,35b)과 본딩 와이어(34)는 수지(38)에 의해 봉지되어 패키지 몸체(37)를 형성한다. 다음 기판(38)의 하면의 소정의 위치에 솔더 볼(39)을 형성하여 칩들(35a,35b)을 외부와 전기적으로 연결되도록 한다.

상기의 실시예에서와 같이, 다기능성 패키지를 제조하기 위해 또는 단위 면적당 실장되는 밀도를 높이기 위해서 복수의 칩(25a,25b,35a,35b)을 적층하는 멀티 칩 패키지(20,30) 구조에서는, 기판 또는 다이패드의 높이 만큼 멀티 칩 패키지의 높이가 증가되어 반도체 패키지의 박형화 요구를 만족시키지 못한다는 문제점을 가지고 있다.

특히 전자소자기술연합회의(Joint Electron Device Engineering Council; 이하 'JEDEC'이라함)의 기준에 따르면, TSOP 패키지의 경우 반도체 패키지의 높이(도1 및 도2의 L)는 최대 1.2mm를 넘지 않아야 한다는 조건을 만족시켜야 하는데, 종래기술에서는 이러한 조건을 만족시키기 어려웠다.

종래기술에 따른 멀티 칩 패키지(20,30)에 있어서 이러한 조건을 충족시키기 위해서는, 칩(25a,25b,35a,35b)의 두께가 250 μ m 이하가 되도록 웨이퍼 상태에서 웨이퍼 뒷면을 갈아내는 연가공하고 있다. 이러한 박형의 멀티 칩 패키지를 제조하기 위해, 예를들어 8 $\frac{1}{16}$ inch 이상의 대형 웨이퍼를 250 μ m 이하로 연가공한 경우는 웨이퍼 자체의 자중에 의한 변형이 크며, 작업도중 조그마한 충격에도 깨어지기 쉬우므로 작업성이 나빠지는 단점이 발생한다.

또한 적층되는 칩중 상부에 놓이는 칩(25b,35b)이 소자 집적기술의 발달에 의해 점차 소형화되는 경우, 상부에 놓이는 칩(25b,35b)을 외부와 전기적으로 연결하는 본딩 와이어(24,34)의 길이가 증가되게 되는데, 이때 본딩 와이어(24,34) 길이가 증가됨에 따른 와이어 스위핑, 단락 등의 문제가 발생한다.

또한 적층되는 칩중 상부에 놓이는 칩(25b,35b)은 접착제(26,36)에 의해서 하부 칩(25a,35a)의 집적회로가 형성된 활성면에 접착된다. 이 경우 접착제(26,36)와 칩(25a,25b,35a,35b)과의 열팽창 정도의 차에 의해 활성면상에 형성된 집적회로의 동작에 좋지 않은 영향을 줄 수 있으며, 단락을 막기 위해 주로 비도전성 접착제만을 사용하여야 한다는 제약을 받게되는데 상기 비전도성 접착제는 전도성 접착제에 비해 열방출성이 나쁘다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 고밀도 실장과 박형화를 이룰 수 있으며, 와이어 스위핑, 단락 등의 문제를 해결할 수 있는 멀티 칩 패키지 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은 집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지로써, 복수의 기판단자들이 형성된 제1주면 및 제2주면과, 상기 제1주면과 상기 제2주면 사이를 관통하여 형성된 관통개구를 갖는 기판과; 상기 기판의 관통개구를 덮으면서 상기 기판의 제1주면에 놓이며, 상기 복수의 본딩패드는 전기적 연결수단에 의해 상기 기판의 기판단자들과 각각 전기적으로 연결되는 제1칩과; 접착제에 의해 상기 기판의 관통개구내의 상기 제1칩의 비활성면에 접착되며, 상기 복수의 본딩패드들은 본딩 와이어에 의해 상기 기판의 제2주면의 기판단자들에 연결되는 제2칩과; 상기 제2칩과 본딩 와이어를 수지로 봉지하여 형성된 제2패키지 몸체와; 상기 제1칩과 전기적 연결수단을 수지로 봉지하여 형성된 제1패키지 몸체와; 상기 제1 및 제2칩을 외부와 전기적으로 연결시키기 위한 외부단자로서, 상기 기판에 형성되며, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이 보다 크거나 같은 외부단자를 구비하는 것을 특징으로 하는 멀티 칩 패키지를 제공한다.

또한 본 발명은 복수의 칩이 적층되어 있는 제3칩이 상기의 제1칩상에 적층되어 있는 멀티 칩 패키지로써, 상기 제3칩은 전기적 연결수단에 의해 기판의 제1주면상의 기판패드에 전기적으로 연결되고, 상기 제1칩, 제3칩 및 전기적 연결수단이 수지에 의해 봉지되어 제1패키지 몸체를 형성하며, 단구성요소는 상기의 멀티 칩 패키지와 동일한 구성을 갖는 멀티 칩 패키지를 제공할 수 있다.

본 발명은 또한 상기 멀티 칩 패키지가 적어도 2이상 적층되어 형성된 적층형 멀티 칩 패키지로써, 상부에 놓이는 상기 적층형 멀티 칩 패키지의 외부단자의 높이가 하부에 놓이는 상기 멀티 칩 패키지의 제2패키지 몸체의 높이보다 크거나 같은 것을 특징으로 하는 적층형 멀티 칩 패키지를 제공할 수 있다.

한편 본 발명은 집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지를 제조하기 위한 방법으로서, (a)복수의 기판단자가 형성된 제1주면 및 제2주면을 가지며, 상기 제1주면과 상기 제2주면을 관통하여 형성된 관통개구를 갖는 기판을 준비하는 단계와; (b)접착제를 이용하여 제1칩을 상기 관통개구를 덮도록 상기 기판에 접착시키는 단계와; (c)상기 관통개구내의 상기 제1칩의 비활성면에 접착제를 이용하여 제2칩의 비활성면을 접착시키는 단계와; (d)본딩 와이어를 이용하여 상기 제2칩의 본딩패드를 각각 상기 기판의 제2주면의 기판패드에 전기적으로 연결하는 단계와; (e)상기 제2칩 및 상기 본딩 와이어를 수지로 봉지하여 제2패키지 몸체를 형성하는 단계와; (f)전기적 연결수단을 이용하여 상기 제1칩의 본딩패드를 각각 상기 기판의 제1주면에 형성된 기판패드에 전기적으로 연결하는 단계와; (g)상기 제1칩 및 상기 전기적 연결수단을 수지로 봉지하여 제1패키지 몸체를 형성하는 단계와; (h)상기 기판에 상기 제1칩 및 상기 제2칩을 외부와 전기적으로 연결시키는 외부단자로서, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이보다 크거나 같은 외부단자를 형성하는 단계를 포함하는 것을 특징으로 하는 멀티 칩 패키지 제조방법을 제공한다.

종래기술에 따른 멀티 칩 패키지에서는, 기판 또는 다이패드를 갖는 리드 프레임용 지지층으로 하여 복수의 칩을 적층하여 멀티 칩 패키지를 구현한 경우, 적층된 칩의 높이뿐만 아니라, 기판 또는 다이패드의 두께만큼 멀티 칩 패키지의 높이가 증가됨으로써 반도체 패키지의 박형화를 이루기 곤란하였다. 본 발명에서는 제1칩이 기판에 형성된 관통개구를 덮으면서 놓이고, 제2칩이 제1칩의 관통개구내 하면에 접착되는 멀티 칩 패키지 또는 적층형 멀티 칩 패키지를 제공하여 종래의 멀티 칩 패키지에 비해 기판두께 만큼 패키지 줄일 수 있으므로 소형이며 박형인 반도체 패키지를 구현할 수 있다.

본 발명에서는 박형의 멀티 칩 패키지를 제공하기 위해 상기 기판의 두께를 상기 제2칩의 두께보다 크거나 같도록 할 수 있다.

또한 본 발명의 멀티 칩 패키지는 칩의 비활성면 사이를 접착제에 의해 접착할 수 있으므로, 활성면에 형성된 집적회로가 열팽창 정도에 따라 깨지는 것을 막을 수 있고, 전도성 접착제를 사용할 수 있으므로 방열효과가 우수하다. 일반적으로 전도성 접착제가 비전도성 접착제 보다 방열능력이 우수한 것으로 알려져 있다.

제1칩과 기판과의 전기적 연결수단으로는, 예를들어 본딩 와이어 또는 솔더 범프가 가능하다. 기판에 형성되는 외부단자로는 솔더 볼과 칼럼 리드가 가능하다. 바람직하게는, 실장연적을 감소시키기 위해 솔더 볼을 사용한 볼 그리드 어레이 패키지를 제공할 수 있다.

본 발명에서 제1패키지 몸체 또는 제2패키지 몸체는 수지, 예를들면 에폭시 성형수지를 이용하여 트랜스퍼 몰딩(transfer molding) 또는 포팅(potting) 방법에 의해 형성될 수 있다. 바람직하게는 제1패키지 몸체는 트랜스퍼 몰딩 방법에 의해 형성되고, 제2패키지 몸체는 기판의 소정의 위치에 덩을 형성하고 수지, 예를들면 에폭시 성형수지를 부음에 의해 제2패키지 몸체를 형성한 후, 제2패키지 몸체의 높이가 기판에 형성되는 외부단자의 높이보다 크거나 같아지도록 둥근 부분이 평평하게 갈려질 수 있다.

이하에서는 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도3은 본 발명의 제1실시예를 나타내는 단면도이고, 도4는 본 발명의 제1실시예로서, 제1패키지 몸체가 형성되기 전의 모습을 나타내는 평면도이며, 도5는 본 발명의 제1실시예로서, 제2패키지 몸체가 형성되기 전의 모습을 나타내는 저면도이다.

도3 내지 도5를 참조하면, 복수개의 기판단자(115a, 115b)가 형성된 제1주면(112) 및 제2주면(114)을 갖는 기판(110)의 일부분, 바람직하게는 중앙부에 제1주면(112)과 제2주면(114)을 관통하여 관통개구(117)가 형성된다. 기판(110)으로는 다층기판이 사용될 수 있다. 제1칩(130a)은 관통개구(117)를 덮으면서 제1접착제(160), 예를들면 에폭시 수지에 의해 기판(110)의 제1주면(112)에 접착되며, 제1칩(130a)의 복수의 본딩패드(135a)는 바람직하게는 본딩 와이어(140a)에 의해 제1주면(112)상의 기판단자(115)에 각각 전기적으로 연결된다. 솔더 범프(미도시)를 이용하여 제1칩(130a)과 기판(110)의 기판패드(115a)를 전기적으로 연결하는 것도 가능하다.

제2칩(130b)은 관통개구(117)내의 제1칩(130a) 하면에 접착제(160)에 의해 접착되며, 제2칩(130b)의 본딩패드(135b)는 본딩 와이어(140)에 의해 제2주면(114)상의 기판단자(115b)에 전기적으로 연결된다. 도6에서 점선부분(130a)은 제1칩(130a)의 하면에 제2칩(130b)이 접착되는 위치를 나타낸다.

제1칩(130a) 및 본딩 와이어(140)와 제2칩(130b) 및 본딩 와이어(140)는 수지(125a,125b), 예를들면 에폭시 성형수지에 의해 봉지되어 각각 제1패키지 몸체(120a)와 제2패키지 몸체(120b)로 형성된다. 기판(110)의 제1패키지 몸체(120a)는 트랜스퍼 몰딩 방법에 의해 형성되며, 제2패키지 몸체(120b)는 포팅방법에 의해 형성되는 것이 바람직하다. 이는 트랜스퍼 몰딩에 의해 제1(120a) 및 제2패키지 몸체(120b) 양자를 형성하는 것이 제조가격이 고가이며, 포팅방법에 의해 제2패키지 몸체(120b)를 형성한 후 제2패키지 몸체(120b)의 높이가 솔더 볼(150)의 높이와 같거나 작도록 불룩한 부분을 수평으로 같아서 조절할 수 있기 때문이다. 도4 및 도5에서 일점체선 부분(120a,120b)은 각각 트랜스퍼 몰딩에 의해 제1패키지가 형성되는 위치와 포팅에 의해 제2패키지 몸체가 형성되는 위치를 나타낸다.

제1칩(130a) 및 제2칩(130b)과 외부와의 전기적 연결은 제2주면(114)의 소정의 부분에 형성된 솔더 볼(150)에 의해 이뤄진다. 타기판(미도시)에 실장되기 위하여 솔더 볼(150)의 높이는 제2패키지 몸체(120b)의 높이보다 크거나 같게 형성된다. 솔더 볼(150)을 사용함으로써 멀티 칩 패키지(100)의 면실장이 가능해지고 실장되는 면적을 줄일 수 있는 이점이 있다. 제1실시에에서는 외부단자로서 솔더 볼(150)을 사용하였으나, 외부단자로서 컬럼 리드(column lead:미도시)가 사용될 수 있다.

본 발명의 제1실시에에서 멀티 칩 패키지(100)는, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하의 제한을 만족시킬 수 있도록 기판(110)의 두께(L_1)는 칩의 두께 0.3mm 보다 크거나 같도록 0.3mm 이상이 되도록 하고, 패키지의 높이(L_2)는 1.2mm 이하가 되도록 치수가 조절될 수 있다. 여기서 기판의 두께를 제2칩의 두께보다 크거나 같도록 조절함으로써 기판의 두께만큼 반도체 패키지의 높이를 줄일 수 있는 박형의 멀티 칩 패키지가 제공된다.

도6은 본 발명의 제2실시에에 따른 멀티 칩 패키지의 단면도이다. 도6을 참조하면, 제2실시에의 멀티 칩 패키지는 접착제(260)에 의해 제1칩(230a) 상에 접착되어 적층된 제3칩(230c)을 제외하고 본 발명의 제1실시에와 동일한 구성을 갖는다.

제3칩(230c)의 본딩패드(미도시)는 본딩 와이어(240)에 의해 기판(210)의 기판패드(미도시)에 전기적으로 연결된다. 여기서 제3칩(240c)으로서 20이상의 칩이 접착제(260)를 매개로 적층된 구조를 갖는 제3칩(240c)이 제1칩(230a)상에 적층되는 것도 가능하다. 제2실시에에서는 칩을 3층으로 적층함으로써 보다 고밀도이며 다기능을 수행할 수 있는 멀티 칩 패키지(200)를 구현할 수 있다. 제2실시예를 나타내는 멀티 칩 패키지(200)도, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하의 제한을 만족시킬 수 있도록 패키지의 높이가 1.2mm 이하가 되도록 치수가 조절될 수 있다. 제2칩이 기판의 관통개구내에 놓이고, 세 개의 칩이 적층됨으로써 박형이며 고밀도 실장이 가능한 멀티 칩 패키지가 제공된다.

도7은 본 발명에 따른 제3실시예를 나타내는 단면도이다. 도7을 참조하면, 제3실시에의 멀티 칩 패키지(300)는 제1칩(330a)이 솔더 범프(366)에 의해 기판(310)의 기판단자(미도시)와 전기적으로 연결되는 것을 제외하고는 제1실시에의 멀티 칩 패키지(100)와 동일하다. 솔더 범프(366)는 제1칩(330a)의 소정의 위치에 가 형성되며, 제1칩(330a)을 기판(310)의 기판패드(미도시)와 전기적 및 물리적으로 연결시킨다. 제2칩(330b)은 관통개구(317) 내의 제1칩(330a)의 하면에 접착되며, 본딩 와이어(340)에 의해 기판의 기판패드(미도시)와 전기적으로 연결된다. 제3칩(330c)은 제1칩(330a) 상에 접착제(360)를 매개로 하여 접착되며 본딩 와이어(340)에 의해 기판의 기판패드(미도시)에 전기적으로 연결된다. 제3실시예를 나타내는 멀티 칩 패키지(300)도, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하의 제한을 만족시킬 수 있도록 패키지의 높이가 1.2mm 이하가 되도록 치수가 조절될 수 있다.

도8은 본 발명에 따른 제4실시예를 나타내는 단면도이다. 도8을 참조하면, 제4실시에에서는 제1실시예를 나타내는 멀티 칩 패키지(100) 두 개가 서로 적층된 적층형 멀티 칩 패키지를 나타내고 있다. 여기서 상부에 놓인 멀티 칩 패키지(400a)의 솔더 볼(450a)의 높이는, 상부에 놓이는 패키지(400a)의 제2패키지 몸체(420b)의 높이와 하부에 놓이는 패키지(400b)의 제1패키지 몸체(425a)의 합보다 크거나 같다. 도8에는 제1패키지(430a,435a)가 본딩 와이어(440)에 의해 기판(410a,410b)과 전기적으로 연결되는 멀티 칩 패키지(400a,400b)를 도시하고 있으나, 적어도 하나의 제1패키지(430a,435a)가 솔더 범프(미도시)에 의해 기판(410a,410b)의 기판패드(미도시)에 전기적으로 연결되는 것도 가능하다.

도9a 내지 도9h는 본 발명에 따른 멀티 칩 패키지의 제조방법을 나타내는 단면도이다.

도9a를 참조하면, 먼저 복수의 기판패드(미도시)가 형성된 제1주면(112) 및 제2주면(114)을 갖는 기판(110)의 소정 부분에 펀칭(punching) 또는 러핑(roughing)방법에 의해 구멍을 뚫음으로써 관통개구(117)가 형성된다.

도9b를 참조하면, 제1칩(130a)이 접착제(160)를 매개로 하여 상기 관통개구(117)를 덮도록 하여 기판(110)에 접착된다. 제1칩(130a)에 솔더 범프(미도시)를 형성하고 기판(110)의 기판패드(미도시)와 전기적 및 물리적으로 연결되도록 하는 것도 또한 가능하다.

도9c를 참조하면, 기판(110)에 접착된 제1칩(130a)을 뒤집어서 접착제(160)를 매개로 관통개구(117)내의 제2칩(130b) 하면에 부착한다.

도9d를 참조하면, 다음, 본딩 와이어(140)를 이용하여 제2칩(130b)의 본딩패드(미도시)가 각각 기판(110)의 기판패드(미도시)에 전기적으로 연결된다.

도9e를 참조하면, 제2칩(130b) 및 본딩 와이어(140)를 포함한 부분이 수지에 의해 봉지되어 각각 제2패키지 몸체(120b)로 형성된다. 바람직하게는 제2패키지 몸체(120b)는 소정의 위치에 뿔을 형성하고 수지를 주입하여 경화시킨 후 불룩한 상부를 제2패키지 몸체가 소정의 높이를 이루도록 평평하게 갈아내는 포팅 방법에 의해서 형성될 수 있다.

도9f를 참조하면, 상기의 제조중인 멀티 칩 패키지를 뒤집은 후, 본딩 와이어(140)를 이용하여 제1칩(130b)의 본딩패드(미도시)가 각각 기판(110)의 기판패드(미도시)에 전기적으로 연결되도록 한다.

도9g를 참조하면, 제1칩(130a) 및 본딩 와이어(140)를 포함한 부분이 수지에 의해 봉지되어 각각 제1패키지 몸체(120a)로 형성된다. 바람직하게는 제1패키지 몸체(120a)는 소정의 금형을 이용하여 수지를 주입하여 제1칩(130a) 및 본딩 와이어(140)를 봉지하는 트랜스퍼 몰딩방법에 의해서 형성될 수 있다.

도9h를 참조하면, 기판(110)의 소정의 위치에 솔더 볼(150)이 형성된다. 기판(110)에 연결되는 외부단자로서 솔더 볼(150) 이외에 컬럼 리드를 형성하는 것도 가능하다.

이상에서 본 발명을 특정 실시예를 참조하여 설명하였지만, 본 발명이 속하는 기술분야의 통상의 지식을 지니는 자에 의해 본 발명의 기술적 요지를 벗어나지 않는 다양한 형태들이 특허청구범위 내에서 가능할 것이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 제1칩이 기판에 형성된 관통개구를 덮으면서 높이고, 제2칩이 제1칩의 관통개구내 하면에 접촉되는 멀티 칩 패키지 또는 적층형 멀티 칩 패키지를 제공하여 종래의 멀티 칩 패키지에 비해 기판 두께만큼 반도체 패키지의 높이를 줄일 수 있으므로 소정의 높이의, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하를 만족하는 소형이며 박형인 반도체 패키지를 구현할 수 있다.

또한, 종래 멀티 칩 패키지에 비해 박형의 반도체 패키지를 제공할 수 있으므로 패키지의 높이가 소정의 높이, 예를들면 JEDEC규정의 TSOP 패키지의 경우 패키지 높이가 최대 1.2mm 이하가 되도록 웨이퍼의 뒷면을 과도하게 가는 공정을 피할 수 있으므로 상기의 웨이퍼를 과도하게 가는 공정에 따른 웨이퍼의 깨짐, 작업성 저하의 문제점이 없다는 이점이 있다.

또한 본 발명은 제1칩과 제2칩의 비활성면 사이에서 접촉시킬 수 있는 구조를 제공함으로써, 활성면상에 형성된 집적회로를 보호할 수 있으며 비전도성 접착제를 사용할 수 있어 방열효과가 우수하다.

또한 제2칩이 소형화되는 경우라도 그에 대응하여 관통개구의 크기를 조절하여 본딩 와이어 길이를 종래와 같은 길이로 일정하게 유지할 수 있으므로, 종래 멀티 칩 패키지에서와 같이 칩의 소형화에 따른 본딩 와이어 길이의 증대에 의한 와이어 스위핑, 단락 등의 문제가 일어나지 않으므로 칩의 소형화가 용이하다는 이점이 있다.

(57) 청구의 범위

청구항 1.

집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 을 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지로서,

복수의 기판단자들이 형성된 제1주면 및 제2주면과, 상기 제1주면과 상기 제2주면 사이를 관통하여 형성된 관통개구를 갖는 기판과;

상기 기판의 관통개구를 덮으면서 상기 기판의 제1주면에 놓이며, 상기 복수의 본딩패드는 전기적 연결수단에 의해 상기 기판의 기판단자들과 각각 전기적으로 연결되는 제1칩과;

접착제에 의해 상기 기판의 관통개구내의 상기 제1칩의 비활성면에 접촉되며, 상기 복수의 본딩패드들은 본딩 와이어에 의해 상기 기판의 제2주면의 기판단자들에 연결되는 제2칩과;

상기 제2칩과 본딩 와이어를 수지로 봉지하여 형성된 제2패키지 몸체와;

상기 제1칩과 전기적 연결수단을 수지로 봉지하여 형성된 제1패키지 몸체와;

상기 제1 및 제2칩을 외부와 전기적으로 연결시키기 위한 외부단자로서, 상기 기판에 형성되며, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이 보다 크거나 같은 외부단자를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 2.

집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 을 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지로서,

복수의 기판단자들이 형성된 제1주면 및 제2주면과, 상기 제1주면과 상기 제2주면 사이를 관통하여 형성된 관통개구를 갖는 기판과;

상기 기판의 관통개구를 덮으면서 상기 기판의 제1주면에 놓이며, 상기 복수의 본딩패드는 전기적 연결수단에 의해 상기 기판의 기판단자들과 각각 전기적으로 연결되는 제1칩과;

접착제에 의해 상기 기판의 관통개구내의 상기 제1칩의 비활성면에 접촉되며, 상기 복수의 본딩패드들은 본딩 와이어에 의해 상기 기판의 제2주면의 기판단자들에 연결되는 제2칩과;

상기 제1칩 상에 놓이는 적어도 2이상의 칩으로서, 상기 복수의 본딩패드들은 전기적 연결수단에 의해 상기 기판의 제1주면에 형성된 기판단자들과 각각 전기적으로 연결되는 제3칩과;

상기 제1칩, 제3칩 및 전기적 연결수단을 수지로 봉지하여 형성된 제1패키지 몸체와;

상기 제2칩과 본딩 와이어를 수지로 봉지하여 형성된 제2패키지 몸체와;

상기 제1, 제2칩 및 제3칩을 외부와 전기적으로 연결시키기 위한 외부단자로서, 상기 기판에 형성되며, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이보다 크거나 같은 외부단자를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 3.

제1항 또는 제2항에 있어서, 상기 전기적 연결수단은 본딩 와이어인 것을 특징으로 하는 멀티 칩 패키지.

청구항 4.

제1항 또는 제2항에 있어서, 상기 제1칩을 상기 기판단자에 전기적 연결시키는 전기적 연결수단은 솔더 범프인 것을 특징으로 하는 멀티 칩 패키지.

청구항 5.

제1항 또는 제2항에 있어서, 상기 외부단자는 상기 기판단자와 전기적으로 연결되는 솔더 볼인 것을 특징으로 하는 멀티 칩 패키지.

청구항 6.

제1항 또는 제2항에 있어서, 상기 외부단자는 상기 기판단자와 전기적으로 연결되는 칼럼 리드인 것을 특징으로 하는 멀티 칩 패키지.

청구항 7.

제1항 또는 제2항에 있어서, 상기 제1패키지 몸체는 금형을 이용한 몰딩방법에 의해 형성되며, 상기 제2패키지 몸체는 포팅방법에 의해 형성됨을 특징으로 하는 멀티 칩 패키지.

청구항 8.

제1항 또는 제2항에 있어서, 상기 제1칩과 상기 제2칩은 제1칩의 비활성면과 제2칩의 비활성면이 접착제에 의해 서로 접촉되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 9.

제1항 또는 제2항에 있어서, 상기 기판의 두께는 상기 제2칩의 두께보다 크거나 같은 것을 특징으로 하는 멀티 칩 패키지.

청구항 10.

제1항 또는 제2항의 멀티 칩 패키지가 적어도 20이상 적층되어 형성된 적층형 멀티 칩 패키지로서 상부에 놓이는 상기 멀티 칩 패키지의 외부단자의 높이는 상부에 놓이는 멀티 칩 패키지의 제2패키지 몸체의 높이와 하부에 놓이는 상기 멀티 칩 패키지의 제2패키지 몸체의 높이의 합보다 크거나 같은 것을 특징으로 하는 적층형 멀티 칩 패키지.

청구항 11.

집적회로가 형성된 활성면과 상기 활성면에 형성된 복수의 본딩패드를 갖는 복수의 칩이 서로 적층되어 있는 멀티 칩 패키지를 제조하기 위한 방법으로서,

- (a)복수의 기판단자가 형성된 제1주면 및 제2주면을 가지며, 상기 제1주면과 상기 제2주면을 관통하여 형성된 관통개구를 갖는 기판을 준비하는 단계와;
- (b)접착제를 이용하여 제1칩을 상기 관통개구를 덮도록 상기 기판에 접촉시키는 단계와;
- (c)상기 관통개구내의 상기 제1칩의 비활성면에 접착제를 이용하여 제2칩의 비활성면을 접촉시키는 단계와;
- (d)본딩 와이어를 이용하여 상기 제2칩의 본딩패드를 각각 상기 기판의 제2주면의 기판패드에 전기적으로 연결하는 단계와;
- (e)상기 제2칩 및 상기 본딩 와이어를 수지로 봉지하여 제2패키지 몸체를 형성하는 단계와;
- (f)전기적 연결수단을 이용하여 상기 제1칩의 본딩패드를 각각 상기 기판의 제1주면에 형성된 기판패드에 전기적으로 연결하는 단계와;
- (g)상기 제1칩 및 상기 전기적 연결수단을 수지로 봉지하여 제1패키지 몸체를 형성하는 단계와;
- (h)상기 기판에 상기 제1칩 및 상기 제2칩을 외부와 전기적으로 연결시키는 외부단자로서, 상기 외부단자의 높이는 상기 제2패키지 몸체의 높이보다 크거나 같은 외부단자를 형성하는 단계를 포함하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

청구항 12.

제11항의 (f)단계에 있어서, 상기 전기적 연결수단은 본딩 와이어인 것을 특징으로 하는 멀티 칩 패키지 제조방법.

청구항 13.

제11항에 있어서, 상기 기판의 두께는 상기 제2칩의 두께보다 크거나 같은 것을 특징으로 하는 멀티 칩 패키지 제조방법.

청구항 14.

제11의 (h)단계에 있어서, 상기 외부단자는 솔더 볼인 것을 특징으로 하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

청구항 15.

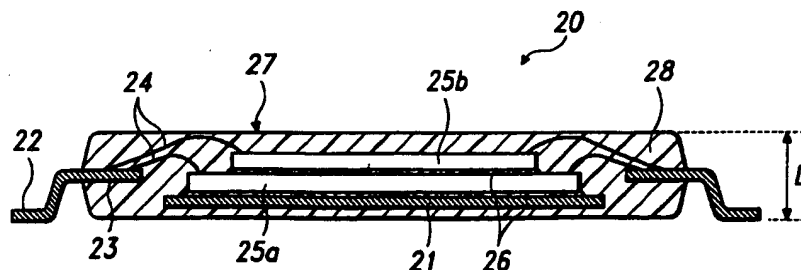
제11항의 (h)단계에 있어서, 상기 외부단자는 칼럼 리드인 것을 특징으로 하는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

청구항 16.

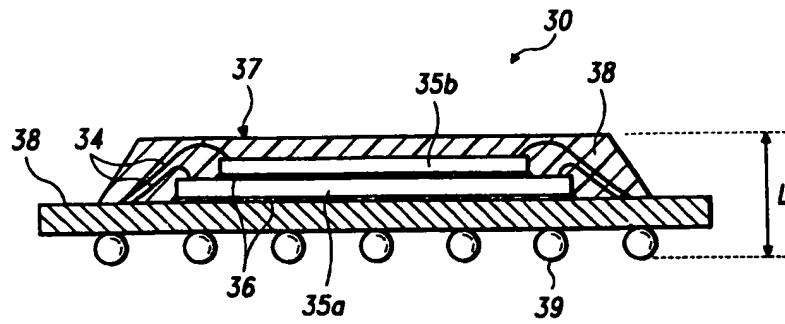
제11항에 있어서, 상기 제2패키지 몸체는 포팅법에 의해 형성되고, 상기 제1패키지 몸체는 트랜스퍼 몰딩법에 의해 형성되는 것을 특징으로 하는 멀티 칩 패키지 제조방법.

도면

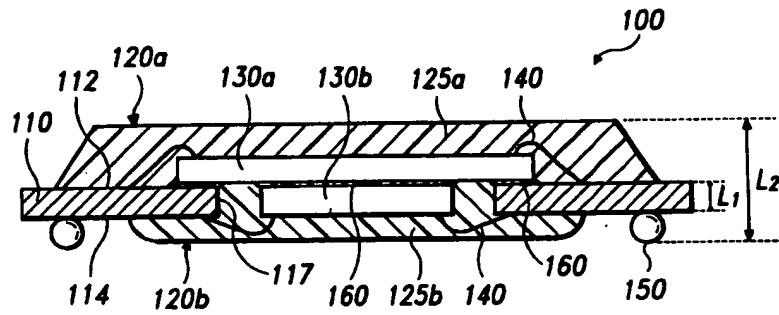
도면 1



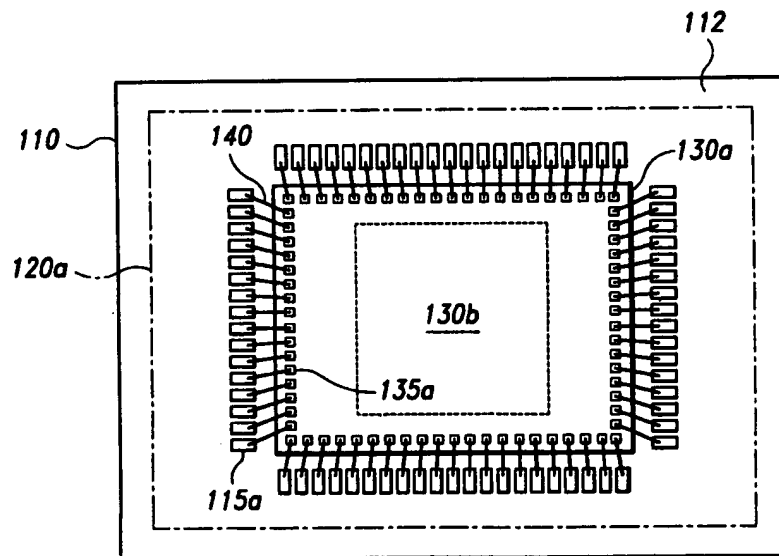
도면 2



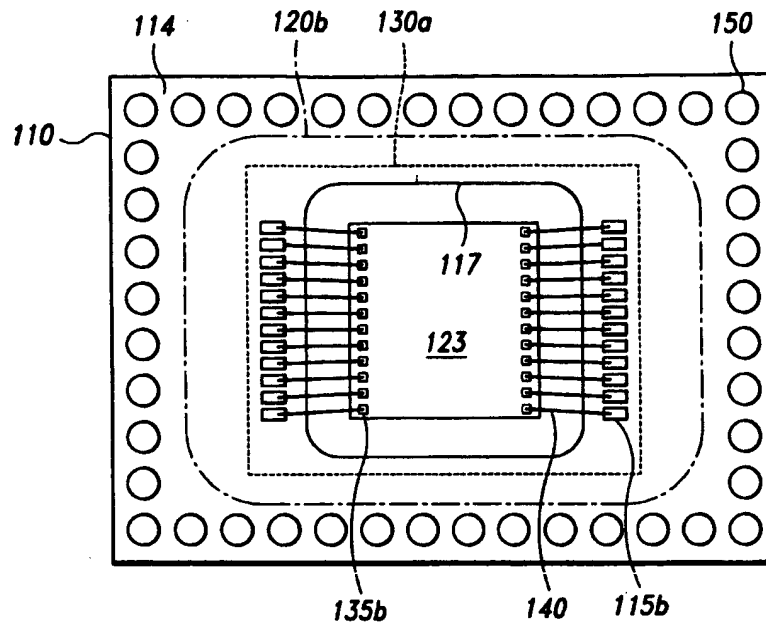
도면 3



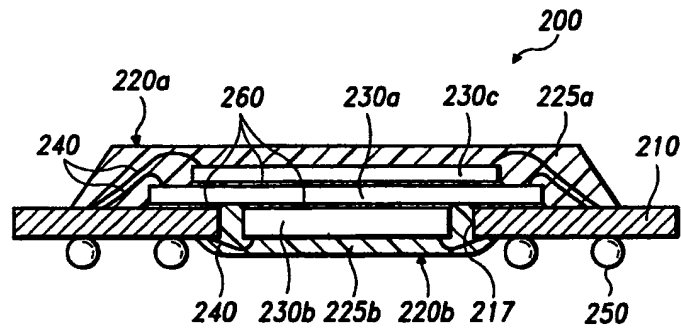
도면 4



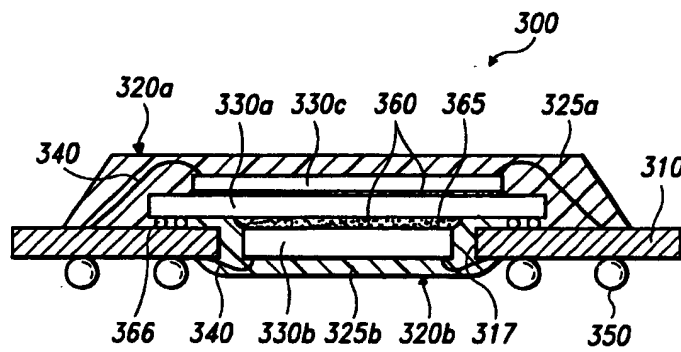
도면 5



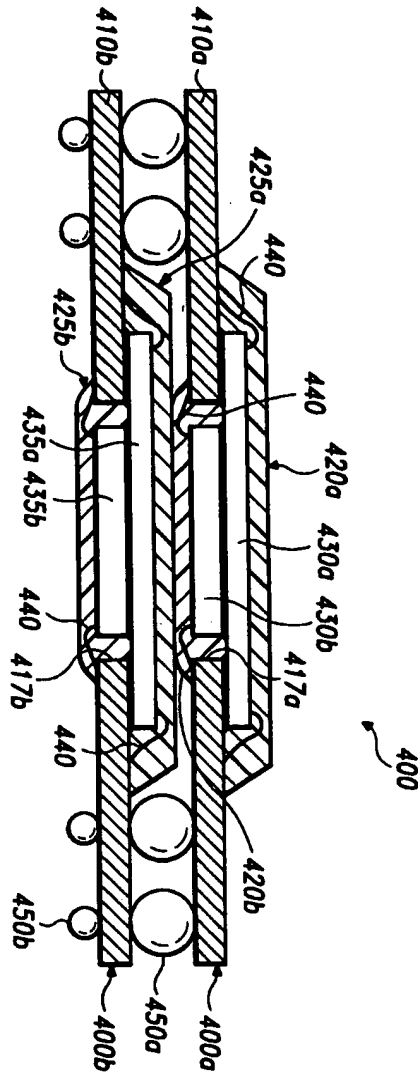
도면 6



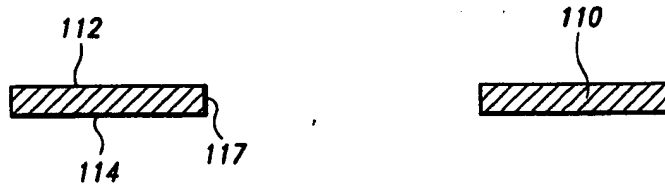
도면 7



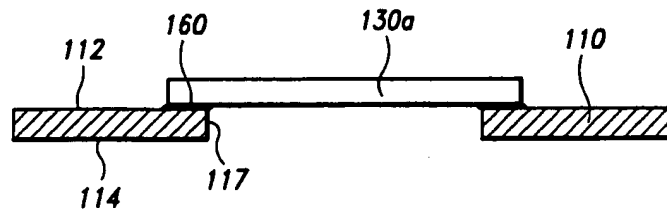
도면 8



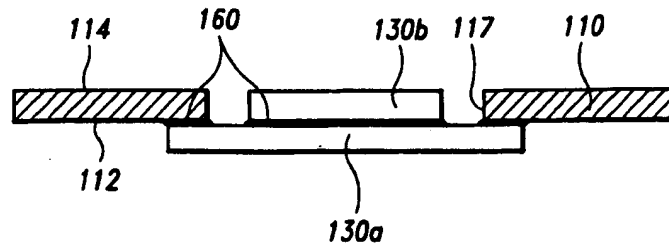
도면 9a



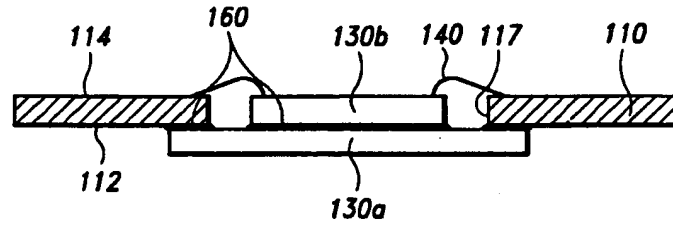
도면 9b



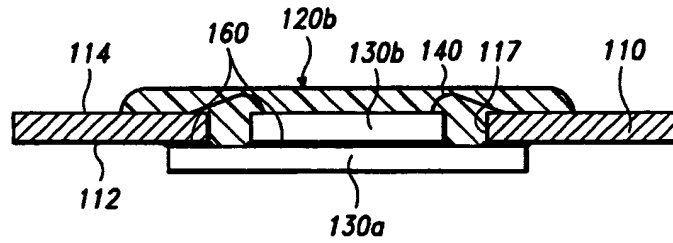
도면 9c



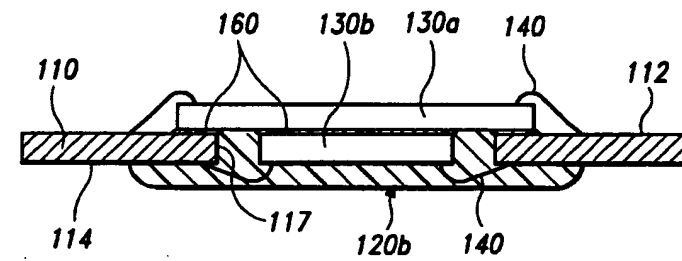
도면 9d



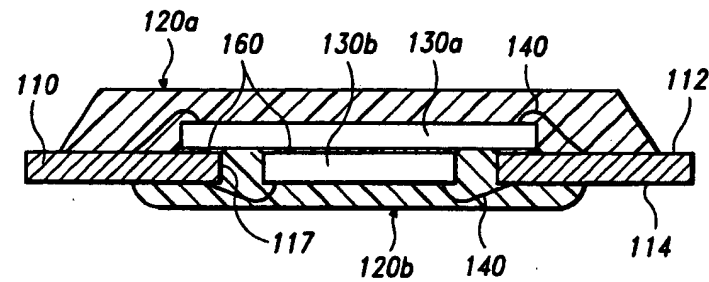
도면 9e



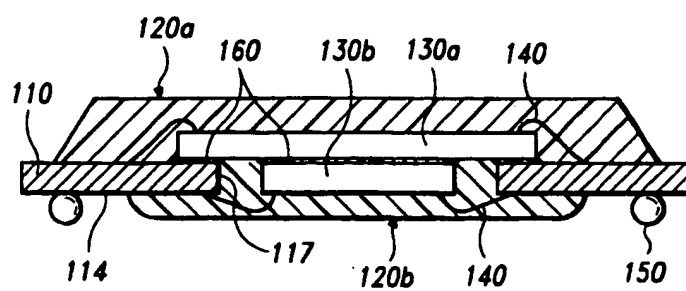
도면 9f



도면 9g



도면 9h



THIS PAGE BLANK (USPTO)